

KARTA PRZEDMIOTU

Nazwa w języku polskim: **Modelowanie układów logicznych**

Nazwa w języku angielskim: **Logic Circuits Modeling**

Kierunek studiów (jeśli dotyczy): **Mechatronika**

Poziom i forma studiów: **I stopień, stacjonarne**

Rodzaj przedmiotu: **wybieralny**

Kod przedmiotu: **MCD035102**

Grupa kursów: **nie**

	Wykład	Ćwiczenia	Laboratorium	Projekt	Seminarium
Liczba godzin zajęć zorganizowanych w Uczelni (ZZU)	15		15		
Liczba godzin całkowitego nakładu pracy studenta (CNPS)	30		60		
Forma zaliczenia	Zaliczenie na ocenę		Zaliczenie na ocenę		
Grupa kursów					
Liczba punktów ECTS	1		2		
w tym liczba punktów odpowiadająca zajęciom o charakterze praktycznym (P)			2		
w tym liczba punktów ECTS odpowiadająca zajęciom wymagającym bezpośredniego kontaktu (BK)	0.6		1.4		

WYMAGANIA WSTĘPNE W ZAKRESIE WIEDZY, UMIEJĘTNOŚCI I KOMPETENCJI SPOŁECZNYCH

1. Brak wymagań

CELE PRZEDMIOTU

C1. Zrozumienie układów logicznych

C2. Nabycie umiejętności modelowania układów logicznych

PRZEDMIOTOWE EFEKTY UCZENIA SIĘ

I. Z zakresu wiedzy:

PEK_W01 - PEK_W01 Posiada wiedzę o układach logicznych

PEK_W02 Zna obszary zastosowań układów logicznych i potrafi je modelować

PEK_W03 Zna podstawowe metody, techniki, narzędzia i materiały stosowane przy rozwiązywaniu prostych zadań inżynierskich z zakresu studiowanego kierunku studiów

PEK_W04 Zna typowe technologie inżynierskie w zakresie studiowanego kierunku studiów

II. Z zakresu umiejętności:

PEK_U01 - PEK_U01 Podstawowa umiejętność modelowania układów logicznych

PEK_U02 Podstawowa umiejętność kodowania w języku VHDL

PEK_U03 Student potrafi dobrać i poprawnie wykorzystać narzędzia do modelowania układów logicznych

PEK_U04 Potrafi - zgodnie z zadaną specyfikacją - zaprojektować oraz zrealizować proste urządzenie, obiekt, system lub proces, typowe dla studiowanego kierunku studiów, używając właściwych metod, technik i narzędzi

III. Z zakresu kompetencji społecznych:

TREŚCI PROGRAMOWE

Forma zajęć – Wykład		Liczba godzin
Wy1	Wprowadzenie do techniki cyfrowej i układów VLSI	2
Wy2	Podstawy języka VHDL	2
Wy3	Modelowanie układów kombinacyjnych	2
Wy4	Wprowadzenie do cyfrowych układów sekwencyjnych	2
Wy5	Modelowanie układów sekwencyjnych	2
Wy6	Automaty stanów	2
Wy7	Interfejs szeregowo-równoległy	2
Wy8	Kolokwium zaliczeniowe	1
		Suma: 15
Forma zajęć – Laboratorium		Liczba godzin
Lab1	Narzędzia do modelowania układów logicznych	2
Lab2	Modelowanie bramek i multiplekserów	2
Lab3	Sumatory	2
Lab4	Rejestry i zatraski	2
Lab5	Rejestry przesuwne, liczniki	2
Lab6	Automat stanów, cz.1 - kodowanie	2
Lab7	Automat stanów, cz.2 - analiza pracy	2
Lab8	Interfejs równoległo-szeregowy	1

	Suma: 15
--	----------

STOSOWANE NARZĘDZIA DYDAKTYCZNE
N1. Wykład z dyskusją N2. Praca własna - przygotowanie do kolokwium N3. Laboratorium komputerowe

OCENA OSIĄGNIĘCIA PRZEDMIOTOWYCH EFEKTÓW UCZENIA SIĘ (Wykład)		
Oceny (F – formująca (w trakcie semestru), P – podsumowująca (na koniec semestru))	Numer efektu uczenia się	Sposób oceny osiągnięcia efektu uczenia się
F1	PEK_W01-PEK_W03	Kolokwium zaliczeniowe
P = F1		

OCENA OSIĄGNIĘCIA PRZEDMIOTOWYCH EFEKTÓW UCZENIA SIĘ (Laboratorium)		
Oceny (F – formująca (w trakcie semestru), P – podsumowująca (na koniec semestru))	Numer efektu uczenia się	Sposób oceny osiągnięcia efektu uczenia się
F1	PEK_U01 - PEK_U04	Ocena realizacji programu zajęć laboratoryjnych
P = F1		

LITERATURA PODSTAWOWA I UZUPEŁNIAJĄCA
<u>LITERATURA PODSTAWOWA</u> 1. M. Zwoliński, Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, WKŁ, 2007
<u>LITERATURA UZUPEŁNIAJĄCA</u>

OPIEKUN PRZEDMIOTU

dr inż. Tomasz Fałat email: tomasz.falat@pwr.edu.pl

SUBJECT CARD

Name in Polish: **Modelowanie układów logicznych**

Name in English: **Logic Circuits Modeling**

Main field of study (if applicable): **Mechatronics**

Level and form of studies: **I level, full-time**

Kind of subject: **optional**

Subject code: **MCD035102**

Group of courses: **no**

	Lecture	Classes	Laboratory	Project	Seminar
Number of hours of organized classes in University (ZZU)	15		15		
Number of hours of total student workload (CNPS)	30		60		
Form of crediting	Crediting with grade		Crediting with grade		
Group of courses					
Number of ECTS points	1		2		
including number of ECTS points for practical (P) classes			2		
including number of ECTS points for direct teacher-student contact (BK) classes	0.6		1.4		

PREREQUISITES RELATING TO KNOWLEDGE, SKILLS AND OTHER COMPETENCES

1. No requirements

SUBJECT OBJECTIVES

C1. Understanding of logic circuits

C2. Gaining the skill of logic circuits modeling

SUBJECT LEARNING OUTCOMES

I. Relating to knowledge:

PEK_W01 - PEK_W01 Knowledge of the logic circuits

PEK_W02 The student knows the area of logic circuits application and know how to model them

PEK_W03 The student knows the basic method, techniques, tools and materials used in solving simple engineering problems from the studied field of study

PEK_W04 The student knows the typical engineering technologies in the area of studied field of study

II. Relating to skills:

PEK_U01 - PEK_U01 Fundamental skill of logic circuits modeling

PEK_U02 Fundamental skill of coding in VHDL

PEK_U03 The student is able to select and properly use development tools to model logic circuits

PEK_U04 The student is able to identify and formulate a specification of simple and practical engineering tasks, characteristic for the studied field of study

III. Relating to social competences:

PROGRAM CONTENT

Form of classes – Lecture		Number of hours
Lec1	Introduction to VLSI digital technology	2
Lec2	VHDL basics	2
Lec3	Modeling of combinational circuits	2
Lec4	Introduction to digital sequential circuits	2
Lec5	Modeling sequential circuits	2
Lec6	State machines	2
Lec7	Serial-to-parallel interface	2
Lec8	Final test	1
		Total hours: 15
Form of classes – Laboratory		Number of hours
Lab1	Introduction to VLSI digital technology	2
Lab2	VHDL basics	2
Lab3	Modeling of combinational circuits	2
Lab4	Introduction to digital sequential circuits	2
Lab5	Modeling sequential circuits	2
Lab6	State machines	2
Lab7	Serial-to-parallel interface	2
Lab8	Final test	1

	Total hours: 15
--	-----------------

TEACHING TOOLS USED
N1. Lecture with discussion N2. Self - preparation for final test N3. computer laboratory

EVALUATION OF SUBJECT LEARNING OUTCOMES ACHIEVEMENT (Lecture)		
Evaluation (F – forming (during semester), P – concluding (at semester end))	Learning outcomes number	Way of evaluating learning outcomes achievement
F1	PEK_W01-PEK_W03	Final test
P = F1		

EVALUATION OF SUBJECT LEARNING OUTCOMES ACHIEVEMENT (Laboratory)		
Evaluation (F – forming (during semester), P – concluding (at semester end))	Learning outcomes number	Way of evaluating learning outcomes achievement
F1	PEK_U01 - PEK_U04	Evaluation of the laboratory program implementation
P = F1		

PRIMARY AND SECONDARY LITERATURE
<u>PRIMARY LITERATURE</u> 1. M. Zwoliński, Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, WKŁ, 2007 <u>SECONDARY LITERATURE</u>

SUBJECT SUPERVISOR

dr inż. Tomasz Fałat email: tomasz.falat@pwr.edu.pl